

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

M. KANEKO
5/22/00
Q 59209
1 of 1



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出願年月日

Date of Application:

1999年 5月26日

願番号

Application Number:

平成11年特許願第146456号

願人

Applicant(s):

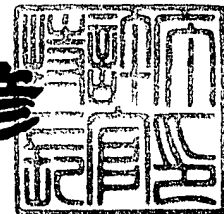
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 3月10日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3014335

【書類名】 特許願

【整理番号】 66400319

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 金子 三千雄

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100082935

 【弁理士】

 【氏名又は名称】 京本 直樹

【選任した代理人】

 【識別番号】 100082924

 【弁理士】

 【氏名又は名称】 福田 修一

【選任した代理人】

 【識別番号】 100085268

 【弁理士】

 【氏名又は名称】 河合 信明

【手数料の表示】

 【予納台帳番号】 008279

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固定ビットレートデータセル送出装置およびその方法

【特許請求の範囲】

【請求項 1】 データパケット群を固定ビットレートのデータセル毎に順次非同期転送モード網に送出する固定ビットレートデータセル送出装置において、

同一送信サイクルの連続するスロットの各々で送出されるデータセルが、共にデータパケットの先頭データセルであることを禁止するように制御することを特徴とする固定ビットレートデータセル送出装置。

【請求項 2】 データパケット群を送信サイクルに合わせて固定ビットレートのデータセル毎に順次非同期転送モード網に送信する固定ビットレートデータセル送出装置において、

新たなデータパケット群を送出する際に、同一送信サイクルの直前のスロットで前記非同期転送モード網に送出されたデータセルがデータパケットの先頭データセルであったか否かを判断し、先頭データセルであれば前記新たなデータパケット群の送出を次の送信サイクルから開始させ、先頭データセルでなければ当該送信サイクルで前記新たなデータパケット群の非同期転送モード網への送出を開始させることを特徴とする固定ビットレートデータセル送出装置。

【請求項 3】 データパケットを送信サイクルに合わせて固定ビットレートのデータセル毎に順次非同期転送モード網に送信する固定ビットレートデータセル送出装置において、

送信すべきデータ列が分割された複数のデータパケットを保持するデータバッファと、

前記送信すべきデータ列の制御情報を格納する制御用メモリと、

この制御用メモリに格納された前記制御情報に従い前記複数のデータパケットを固定ビットレートのデータセル毎に前記非同期転送モード網に送出するセル化装置とを有し、

前記セル化装置は、新たな制御情報を処理する際に、同一送信サイクルの直前のスロットで前記非同期転送モード網に対して送出されたデータセルがデータパケットの先頭データセルであったか否かを判断し、先頭データセルであれば前記

新たな制御情報に従ったデータセルの送出を当該送信サイクルでは開始させず、先頭データセルでなければ当該送信サイクルで前記新たな制御情報に従った固定ビットレートのデータセルの送出を開始させることを特徴とする固定ビットレートデータセル送出装置。

【請求項4】 前記制御用メモリは、処理中の制御情報をリンクするシェーパリンクリストと、前記新たな制御情報をリンクする追加用リンクリストとを格納し、

前記セル化装置は、送信サイクルにあわせ前記シェーパリンクリストにリンクされた制御情報を順次処理した後、前記追加用リンクリストにリンクされた制御情報を処理することを特徴とする請求項3記載の固定ビットレートデータセル送出装置。

【請求項5】 前記セル化装置は、前記追加用リンクリストにリンクされた前記新たな制御情報を処理する際、前記新たな制御情報を前記シェーパリンクリストにリンクして前記追加用リンクリストから消去することを特徴とする請求項4記載の固定ビットレートデータセル送出装置。

【請求項6】 前記制御情報は、データパケット中の送信されたデータセルの数を示す送信済みデータセル数を有し、

前記セル化装置は、直前に処理された制御情報の前記送信済みデータセル数によりデータパケットの先頭データセルが送出されたか否かを判断することを特徴とする請求項5記載の固定ビットレートデータセル送出装置。

【請求項7】 前記セル化装置は、各送信サイクルで前記追加用リンクリストにリンクされた先頭の制御情報のみを処理することを特徴とする請求項6記載の固定ビットレートデータセル送出装置。

【請求項8】 データパケット群を制御情報に従い固定ビットレートのデータセル毎に順次非同期転送モード網に送出する固定ビットレートデータセル送出方法であって、

送信サイクルの各スロット毎にシェーパリンクリストの制御情報を順次読み込み、前記制御情報にしたがって固定ビットレートデータセルの送出を行い、

前記シェーパリンクリストの全ての制御情報の処理が終了すると、追加用リン

クリストの先頭にリンクされた制御情報を前記シェーパリンクリストの最後尾にリンクさせて当該制御情報を前記追加用リンクリストから削除し、

直前のスロットで送出されたデータセルがデータパケットの先頭データセルであるか否か判断し、

前記直前のスロットで送出されたデータセルがデータパケットの先頭データセルの送出でない場合には、前記シェーパリンクリストに追加した前記制御情報に従いデータセルを送出することを特徴とする固定ビットレートデータセル送出方法。

【請求項 9】 データパケットを制御情報に従い固定ビットレートのデータセル毎に順次非同期転送モード網に送出する固定ビットレートデータセル送出方法であって、

送信サイクルの各スロット毎にシェーパリンクリストから制御情報を読み込み、
読込んだ前記制御情報にしたがってデータセルの送出して前記制御情報を更新し、

前記シェーパリンクリストの最後の制御情報を処理すると、追加用リンクリストの先頭にリンクされた制御情報を前記シェーパリンクリストの最後尾にリンクさせて当該制御情報を追加用リンクリストから削除し、

直前のスロットで処理された制御情報を参照して、送信済みデータセル数から直前のスロットでの処理がデータパケットの先頭データセルの送出であったか否かを判断し、

直前のスロットでの処理がデータパケットの先頭データセルの送出でなかった場合には、前記シェーパリンクリストの最後尾にリンクさせた前記制御情報にしたがってデータセルを送出して前記制御情報の更新を行うことを特徴とする固定ビットレートデータセル送出方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、データセル送出装置に関し、特に固定ビットレートのデータセル送

出装置に関する。

【0 0 0 2】

【従来の技術】

従来、この種の技術では、C B R (Constant Bit Rate : 固定ビットレート) のデータセルをA T M (Asynchronous Transfer Mode : 非同期転送モード) 網に送出する装置について種々の考案がなされている。

【0 0 0 3】

たとえば、特表平 1 0－5 1 1 2 4 4 には、様々な一定ビット・レート・サービスを中央バッファ・データ・バスへインターフェースするためのアダプタ・チップの実現についての技術が記載されている。

【0 0 0 4】

また、特開平 8－1 6 3 1 5 0 には、A T M スイッチから端末への出力段にシェーピング F I F O を設け、入力 C B R セル流を一定時間蓄積することにより A T M ネットワークを通過する際に発生するセル遅延揺らぎを最小限に制御する C B R トラフィックの C D V 制御方法および装置が記載されている。

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、特表平 1 0－5 1 1 2 4 4 および特開平 8－1 6 3 1 5 0 記載のいずれの技術も、多数のデータセルを送出する際にデータバスへのアクセスが集中して高負荷になった場合の考慮は一切なされておらず、データバスの一時的な高負荷状態によって固定のビットレートが維持できなくなる可能性を有している。

【0 0 0 6】

そこで、本発明の目的は、複数のデータセルを C B R により A T M 網に送出する際のデータセル読み込みに伴うデータバスへのアクセス負荷の集中を軽減した C B R データセル送出装置を提供することにある。

【0 0 0 7】

【課題を解決するための手段】

上記課題を解決するために本発明の固定ビットレートデータセル送出装置は、

同一送信サイクルの連続するスロットの各々で送出されるデータセルが、共にデータパケットの先頭データセルであることを禁止するように制御することを特徴とする。

【 0 0 0 8 】

また、本発明の他の固定ビットレートデータセル送出装置は、新たなデータパケット群を送出する際に、同一送信サイクルの直前のスロットで前記非同期転送モード網に送出されたデータセルがデータパケットの先頭データセルであったか否かを判断し、先頭データセルであれば前記新たなデータパケット群の送出を次の送信サイクルから開始させ、先頭データセルでなければ当該送信サイクルで前記新たなデータパケット群の非同期転送モード網への送出を開始させる。

【 0 0 0 9 】

さらに、本発明の他の固定ビットレートデータセル送出装置は、送信すべきデータ列が分割された複数のデータパケットを保持するデータバッファと、前記送信すべきデータ列の制御情報を格納する制御用メモリと、この制御用メモリに格納された前記制御情報に従い前記複数のデータパケットを固定ビットレートのデータセル毎に前記非同期転送モード網に送出するセル化装置とを有し、前記セル化装置は、新たな制御情報を処理する際に、同一送信サイクルの直前のスロットで前記非同期転送モード網に対して送出されたデータセルがデータパケットの先頭データセルであったか否かを判断し、先頭データセルであれば前記新たな制御情報に従ったデータセルの送出を当該送信サイクルでは開始させず、先頭データセルでなければ当該送信サイクルで前記新たな制御情報に従った固定ビットレートのデータセルの送出を開始させる。

【 0 0 1 0 】

また、前記制御用メモリは、処理中の制御情報をリンクするシェーパリンクリストと、前記新たな制御情報をリンクする追加用リンクリストとを格納し、前記セル化装置は、送信サイクルにあわせ前記シェーパリンクリストにリンクされた制御情報を順次処理した後、前記追加用リンクリストにリンクされた制御情報を処理する。

【 0 0 1 1 】

さらに、前記セル化装置は、前記追加用リンクリストにリンクされた前記新たな制御情報を処理する際、前記新たな制御情報を前記シェーパリンクリストにリンクして前記追加用リンクリストから消去する。

【 0 0 1 2 】

また、前記制御情報は、データパケット中の送信されたデータセルの数を示す送信済みデータセル数を有し、前記セル化装置は、直前に処理された制御情報の前記送信済みデータセル数によりデータパケットの先頭データセルが送出されたか否かを判断する。

【 0 0 1 3 】

さらに、前記セル化装置は、各送信サイクルで前記追加用リンクリストにリンクされた先頭の制御情報のみを処理する。

【 0 0 1 4 】

また、本発明の固定ビットレートデータセル送出方法は、送信サイクルの各スロット毎にシェーパリンクリストの制御情報を順次読込み、前記制御情報にしたがって固定ビットレートデータセルの送出を行い、前記シェーパリンクリストの全ての制御情報の処理が終了すると、追加用リンクリストの先頭にリンクされた制御情報を前記シェーパリンクリストの最後尾にリンクさせて当該制御情報を前記追加用リンクリストから削除し、直前のスロットで送出されたデータセルがデータパケットの先頭データセルであるか否かを判断し、前記直前のスロットで送出されたデータセルがデータパケットの先頭データセルの送出でない場合には、前記シェーパリンクリストに追加した前記制御情報に従いデータセルを送出する。

【 0 0 1 5 】

また、本発明の他の固定ビットレートデータセル送出方法は、送信サイクルの各スロット毎にシェーパリンクリストから制御情報を読込み、読込んだ前記制御情報にしたがってデータセルの送出して前記制御情報を更新し、前記シェーパリンクリストの最後の制御情報を処理すると、追加用リンクリストの先頭にリンクされた制御情報を前記シェーパリンクリストの最後尾にリンクさせて当該制御情報を追加用リンクリストから削除し、直前のスロットで処理された制御情報を参照して、送信済みデータセル数から直前のスロットでの処理がデータパケットの

先頭データセルの送出であったか否かを判断し、直前のスロットでの処理がデータパケットの先頭データセルの送出でなかった場合には、前記シェーバリンクリストの最後尾にリンクさせた前記制御情報にしたがってデータセルを送出して前記制御情報の更新を行う。

【 0 0 1 6 】

【発明の実施の形態】

次に、本発明の固定ビットレートデータセル送出装置の実施の形態について図面を参照して説明する。

【 0 0 1 7 】

図 1 を参照すると、本発明の C B R データセル送出装置 1 は、制御用メモリ 2、セル化装置 3 およびデータバッファ 4 を有して構成される。

【 0 0 1 8 】

データ記憶装置 5 は、A T M 網に出力すべきデータ列等が予め格納されている記憶領域である。A T M の規格では、各データセルの大きさは 5 3 byte であって、その上位 5 byte はヘッダとして利用され、残りの下位 4 8 byte がデータ部分となる。

【 0 0 1 9 】

プロセッサ 6 は、図 2 (a) に示されるように、プログラムメモリ 7 内のプログラムに基づいて、データ記憶装置 5 に格納された送信用データ列 1 1 0 をメモリのページサイズに依存した一定のパケット単位でバスコントローラ 8 を経由してデータバッファ 4 に転送する。また、これと共に、プロセッサ 6 は、当該データ列の送信に関わる制御情報（以下、V C (V i r t u a l C h a n n e l) 情報という。）を C B R データセル送出装置 1 内の制御用メモリ 2 に書込む。

【 0 0 2 0 】

V C 情報 4 0 は、図 3 に示されるように、データバッファに存在する P D (P a c k e t D e s c r i p t e r) の所在を示す P D アドレス 4 1、パケット内で次に読出して送出すべきデータセルのアドレスを示す読出しアドレス 4 2、パケットの送信済みデータセル数を示す送信済みデータセル数 4 3、先行および後続の V C 情報とのリンクを示すリンク情報 4 4 から構成されている。

【 0 0 2 1 】

ここで、PDとは、各VC情報毎に対応してデータバッファ4に格納され、送信するデータ列が分割された複数のパケットの各先頭アドレスを順に保持してパケットの順序を記憶するものである。

【 0 0 2 2 】

制御用メモリ2は、シェーパリンクリスト21および追加用リンクリスト22を格納している。シェーパリンクリスト21は、送出すべきデータ列のVC情報が相互に関連付け（以下、リンクするという。）されたVC情報のリストである。追加用リンクリスト22は、シェーパリンクリスト21に新たなVC情報を追加する場合に、追加する新たなVC情報がリンクされるVC情報のリストである。

【 0 0 2 3 】

セル化装置3は、制御手段31およびシェーパ32を有して構成される。シェーパ32は予め設定されたCBRでデータセルの転送を行う。制御手段31はシェーパ32に対するデータ送信を以下に示すようなスケジューリングにより実行する。すなわち、制御手段31は、データ送出を行う送信サイクルの各スロットに合わせてシェーパリンクリスト21内にリンクされたVC情報を先頭から順次リードする。そして、リードしたVC情報をもとに、図2（b）に示されるようにデータバッファ4に保持されたパケット71～73から固定ビットレート of データセル120を讀出してシェーパ32を介してATM網に出力する。

【 0 0 2 4 】

また、制御手段31は、シェーパリンクリスト21の最後尾のVC情報をリードすると続いて追加用リンクリスト22の先頭のVC情報をリードする。

【 0 0 2 5 】

ここで、追加用リンクリスト22にVC情報が存在しない場合、制御手段31は次の送信サイクルが来るまで待機し、次の送信サイクルが来るとスロットに合わせて再びシェーパリンクリスト21内のVC情報を先頭から順次リードしてデータセルの送出を行う。

【 0 0 2 6 】

一方、追加リンクリスト 2 2 に VC 情報が存在する場合、制御手段 3 1 は追加リンクリスト 2 2 に追加された VC 情報をシェーパリンクリスト 2 1 の最後尾にリンクさせ、当該 VC 情報を追加用リンクリスト 2 2 から消去する。これと共に、追加された VC 情報をリードする直前のスロットで出力されたデータセルがパケットの先頭部分である否かを判断する。ここで、直前のスロットで出力されたデータセルがパケットの先頭部分でないと判断されると、追加された VC 情報に基づいてデータバッファ 4 に保持されたパケットから 1 データセル分のデータを読み出し、データセルを ATM 網に出力する。逆に、リード直前に出力されたデータセルがパケットの先頭部分であったと判断されると、制御手段 3 1 は追加された VC 情報に基づくデータバッファ 4 からの読み出しは行わず、追加された VC 情報を単にシェーパリンクリスト 2 1 の最後尾にリンクするだけで終了する。制御手段 3 1 は、追加リンクリスト 2 2 の先頭の VC 情報に対する処理が終わると次の送信サイクルが来るまで待機する。

【 0 0 2 7 】

【実施例】

次に、本発明の第 1 の実施例として、シェーパリンクリスト 2 1 に送信中の VC 情報が存在せず、追加用リンクリスト 2 2 に VC a 5 1 がリンクされる場合について、図面を参照して詳細に説明を行う。

【 0 0 2 8 】

図 1 および図 4 を参照すると、まず、プロセッサ 6 は、データ記憶装置 5 に格納された送信すべきデータ列をパケット 7 1 ~ 7 3 としてデータバッファ 4 に送信すると共に、当該データ列の VC 情報 (VC a 5 1) を追加用リンクリスト 2 2 にリンクする。このデータ記憶装置 5 からデータバッファ 4 へパケットを転送するプロセッサ 6 の動作は、CBR データセル送出装置 1 の動作とは独立に行われる。

【 0 0 2 9 】

PD 6 1 は、VC a に対応してデータバッファ 4 に格納され、送信するデータ列の分割されたパケット 7 1 ~ 7 3 の各先頭アドレス (ADR # 1 ~ ADR # 3) を順に保持してパケットデータの順序を記憶している。

【0030】

VCa51には初期値としてPDアドレス41にPD61の先頭アドレスが、また、送信済みデータセル数43には“0”が格納されている。

【0031】

CBRデータセル送出装置1においてデータの送信サイクルが来ると、制御手段31はシェーパ32が送信可能状態であるか否かを判断し、送信可能状態であればシェーパリンクリスト21にリンクされたVC情報をスロットに合わせて先頭から順次リードする。この場合、シェーパリンクリスト21は空であるため、制御手段31は追加用リンクリスト22のリードを行い、その先頭のVC情報であるVCa51をリードする。

【0032】

追加用リンクリスト22をリードした制御手段31は、まずVCa51のリンク情報を更新してVCa51をシェーパリンクリスト21にリンクさせて追加用リンクリスト22から消去する。次に、直前にリードしたVC情報の送信済みデータセル数43により直前のスロットで送出されたデータセルがパケットの先頭部分か否かを判断する。

【0033】

この場合においては、直前に送出されたデータセルが存在しないため、制御手段31は直前のスロットではデータセルの先頭部分が送出されていないと判断する。直前のスロットでデータセルの先頭部分が送出されていないと判断すると、制御手段31はVCa51のPDアドレス41に示されるPD61のアドレスを讀込む。そして、PD61のADR#1により示されるパケット71の先頭から1データセル分のデータを読み出してシェーパ32を介してATM網に出力する。出力後、送信済みデータセル数43を“1”にインクリメントし、読出しアドレス部42をパケット71内の次に読み出すべきデータセルのアドレスに更新する。ここで、送信済みデータセル数43が“0”から“1”にインクリメントされた場合には、制御手段31はさらにPDアドレス41を次のパケット72の先頭アドレスが保持されたPD61のADR#2を示すアドレスに更新する。

【0034】

制御手段 31 は、VC a 51 の処理が終わるとその回の送信サイクルにおける処理を終了し、次の送信サイクルが来るまで待機する。

【0035】

次の送信サイクルになると、制御手段 31 はスロットに合わせて再びシェーパリンクリスト 21 の先頭から VC 情報のリードを開始し、シェーパリンクリスト 21 の先頭の VC a 51 がリードされる。ここで制御手段 31 は VC a 51 の送信済みデータセル数 43 が“1”であることから VC a 51 が 2 回目以降の送信を行うものであると判断し、PD アドレス 41 を参照せずに読出しアドレス部 42 に示されるパケット 71 のデータセルを ATM 網に送出する。データセルの送出を行うと、制御手段 31 は、読出しアドレス部 42 および送信済みデータセル数 43 を更新する。このとき、送信済みデータセル数 43 は“2”に更新されるため制御手段 31 は PD アドレス 41 の更新は行わない。以降、各送信サイクル毎にデータセルの転送が上述の動作と同様にして順次行われる。

【0036】

送出したデータセルがパケット 71 の最後であれば、制御手段 31 はデータセルの送出後、送信済みデータセル数 43 をリセットして“0”にする。次のサイクルでは、制御手段 31 は送信済みデータセル数 43 が“0”であることを認識すると、PD アドレス 41 に保持された PD 61 の ADR # 2 を読込んで次のパケット 72 の先頭アドレスを取得し、上述と同様にしてパケット 72 をデータセル毎に送出する。

【0037】

図 5 に示すタイムチャートは、図 4 の送信サイクルのスロットが“8”であって、シェーパ 61 の送信レートが“1/4”、すなわち、4 データセルで 1 パケットの送信が完了するような設定を示している。すなわち、VC a 51 は、第 1 の送信サイクルの第 1 スロット ($t=0$) でそのパケット 71 の先頭のデータセルが送出され、以降、各送信サイクルの第 1 スロット ($t=8$ 、 16 および 24) で残りの各データセルが送出されて 1 パケットの送信が行われる。第 5 の送信サイクルの第 1 スロット ($t=32$) では、次のパケット 72 の先頭のデータセルが送出されている。

【 0 0 3 8 】

次に、第 2 の実施例として、シェーパリンクリスト 2 1 に送信中の VC a 5 1 が存在するときに、追加用リンクリストに VC b 5 2 がリンクされた場合について説明する。図 6 および図 7 を参照すると、制御手段 3 1 は送信サイクルになると第 1 スロット ($t = 0$) でシェーパリンクリスト 2 1 にある VC a 5 1 を読み出し、データセルの送出を行う (図 7 (a)、(b) の $t = 0$ を参照)。

【 0 0 3 9 】

次に、第 2 スロットで制御手段 3 1 は、追加用リンクリスト 2 2 から VC b 5 2 リードする。まず、制御手段 3 1 は、VC a 5 1 および VC b 5 2 の各々のリンク情報 4 4 を更新して VC b 5 2 をシェーパリンクリスト 2 1 に追加し、追加用リンクリスト 2 2 から消去する。これと共に制御手段 3 1 は、直前のスロットで処理した VC a 5 1 の送信済みデータセル数 4 3 により直前のスロットで送出されたデータセルがパケットの先頭か否かを判断する。

【 0 0 4 0 】

VC a 5 1 の送信済みデータセル数 4 3 が “1” 以外のときは、制御手段 3 1 は直前の第 1 スロットで送出された VC a 5 1 のデータセルがパケット 7 1 ~ 7 3 の先頭以外のデータセルであると判断する。この場合、図 7 (a) を参照すると、制御手段 3 1 は、第 2 スロット ($t = 1$) で VC b 5 2 の PD アドレス 4 1 の示す PD 6 2 の ADR # 4 を読込んでパケット 7 4 の先頭のアドレスを取得し、パケット 7 4 の先頭データセルを ATM 網に出力する。その後、VC b 5 2 の読出しアドレス 4 2 を更新し、送信済みデータセル数 4 3 を “1” にインクリメントして、PD アドレス 4 1 を次のパケットの先頭アドレスが保持された PD 6 2 の ADR # 5 を示すアドレスに更新する。

【 0 0 4 1 】

一方、VC a 5 1 の送信済みデータセル数 4 3 が “1” のときは、制御手段 3 1 は直前の第 1 スロットで送出された VC a 5 1 のデータセルがパケットの先頭のデータセルであったと判断する。この場合、図 7 (b) を参照すると、制御手段 3 1 は、第 2 スロット ($t = 1$) で VC b 5 2 をシェーパリンクリスト 2 1 に追加するだけで VC b 5 2 のデータセルの送出は行わずに VC b 5 2 に対する処

理を終了する。次の第 2 の送信サイクルになると、制御手段 3 1 は第 1 スロット ($t = 8$) で VC a 5 1 をリードしてデータセルを送出し、VC a 5 2 の送信済みデータセル数 4 3 を “2” に更新する。制御手段 3 1 は、続く第 2 スロット ($t = 9$) で VC b 5 2 をリードして直前の第 1 スロットで処理した VC a 5 1 の送信済みデータセル数 4 3 が “1” でないことを確認する。VC a 5 1 の送信済みデータセル数 4 3 が “1” でないことを確認すると、制御手段 3 1 は、VC b 5 2 の PD アドレス 4 1 の示す PD 6 2 の ADR # 4 を読込んでパケット 7 4 の先頭のアドレスを取得し、パケット 7 4 の先頭データセルを ATM 網に出力する。

【0042】

以上の動作により、送信サイクルの連続するスロットにおいて、その両方のスロットで PD の読込みを伴うパケットの先頭データセルの送出が発生することがなくなる。したがって、PD 6 1, 6 2 の読み込みが連続して発生することがなくなり、PD 読込みによる一時的な高負荷状態から一定のビットレートが維持できなくなることが回避される。

【0043】

次に、第 3 の実施例として、シェーパリンクリスト 2 1 に送信中の VC a 5 1 が存在し、追加用リンクリスト 2 2 に複数の VC 情報 (VC b 5 2、VC c 5 3) がリンクされた場合について説明する。

【0044】

図 8 を参照すると、制御手段 3 1 は VC a 5 1 および VC b 5 2 に対しては上述したとおりの処理を行い、シェーパリンクリストには VC a 5 1 および VC b 5 2 がリンクされた状態となる。

【0045】

第 1 の送信サイクルの第 2 スロットでは、制御手段 3 1 は VC b 5 2 の処理を行う。この第 2 スロットの終了時点では、図 9 (a) または (b) の $t = 2$ の状態、すなわち、VC b 5 2 の送信済みデータセル数 4 3 が “1” の状態か、または、シェーパリンクリスト 2 1 に追加されたのみで VC b 5 2 のデータセルの送出が全く行われていない未処理状態となる。図 9 (a) に示される VC b 5 2 の

送信済みデータセル数 4 3 が “1” の場合、後続の VC c 5 3 は、VC b 5 2 の送信済みデータセル数 4 3 が “1” であるためにデータセルの送出が行われることはない。また、図 9 (b) に示される VC b 5 2 がデータセルの送信が全く行われていない未処理状態の場合も、VC c 5 3 は VC b 5 2 の処理待ちとなり VC c 5 3 のデータセルが送出されることはない。このように、追加用リンクリスト 2 2 に複数の VC 情報が追加された場合、先頭の VC 情報以外はその第 1 の送信サイクル ($t = 0 \sim 7$) においてデータセルが送出されることはあり得ない。したがって、制御手段 3 1 は追加用リンクリスト 2 2 に対するリードは先頭の VC 情報にのみ行い、第 1 の送信サイクルの処理を終了させる。

【0046】

次の第 2 の送信サイクル ($t = 8 \sim 15$) においては、図 9 (a) の状態では、第 2 スロット ($t = 9$) で VC b 5 2 の送信済みデータセル数 4 3 が “1” となり、VC c 5 3 は第 3 スロット ($t = 10$) でシェーパリンクリスト 2 1 に追加されるだけでさらにデータセルの送出を見合わせることになる。一方、図 9 (b) の状態では、第 2 スロット ($t = 9$) で VC b 5 2 の送信済みデータセル数 5 3 が “2” となり、VC c 5 3 は第 3 スロット ($t = 10$) でシェーパリンクリスト 2 1 に追加されてパケット 7 6 の先頭データセルが送出されることになる。

【0047】

次に、本発明の制御手段 3 1 の動作について図面を参照して説明する。

【0048】

図 10 を参照すると、送信サイクルが来ると、制御手段 3 1 はシェーパ 3 2 が送信可能かどうかを判断する (ステップ A 1)。送信可能でなければデータ送出を行わず次の送信サイクルまで待機する。一方、送信可能であれば、シェーパリンクリスト 2 1 のリンクリストから VC 情報を読み込み (ステップ A 2)、読込んだ VC 情報にしたがってデータセルの送出を行い、VC 情報のパラメータの更新を行う (ステップ A 3)。これと共に、制御手段 3 1 は、当該 VC 情報がシェーパリンクリスト 2 1 の最後の VC 情報であるか否かを判断し (ステップ A 4)、最後でなければリンク情報 4 4 にしたがって次の VC 情報の読み込みを行う (ステップ A 2 へ)。当該 VC 情報がシェーパリンクリスト 2 1 の最後の VC 情報であ

れば、制御手段 31 は追加用リンクリスト 22 にリンクされている VC 情報が存在するかどうかを判断する（ステップ A5）。追加用リンクリスト 22 内に VC 情報が存在しなければその送信サイクルでの処理を終了し、次の送信サイクルまで待機する。一方、追加用リンクリスト 22 内に VC 情報が存在すれば、制御手段 31 は、追加用リンクリスト 22 内の先頭の VC 情報をシェーパリンクリスト 21 の最後尾に追加してリンクさせ、当該 VC 情報を追加用リンクリスト 22 から削除する（ステップ A6）。次に、制御手段 31 は、直前のスロットで処理された VC 情報の送信済みデータセル数を参照して、直前のスロットでの処理が PD の読み込みを伴うパケットの先頭データセルの送出であったか否かを判断する（ステップ A7）。直前のスロットでの処理がパケットの先頭データセルの送出であった場合はその送信サイクルでの処理を終了し、次のサイクルタイムまで待機する。一方、直前のスロットでの処理が PD の読み込みを行わない先頭データセル以外の送出であれば、制御手段 31 は、追加した最後尾の VC 情報の PD アドレス 41 を読み込み、PD の示すパケットの先頭のデータセルを送出し、VC 情報の各パラメータの更新を行う（ステップ A8）。更新が終了すると、その送信サイクルでの処理を終了し、次の送信サイクルになるまで待機する。

【0049】

次に図 11 を用いて制御手段 31 によるステップ A3 における VC 情報の処理動作について詳細に説明する。制御手段 31 はシェーパリンクリスト 21 から VC 情報を 1 つ読み込むと、まず、読み込んだ VC 情報の送信済みデータセル数 43 を参照し、送信済みデータセル数 43 が “0” か否かを判断する（ステップ B1）。送信済みデータセル数 43 が “0” であれば、PD アドレス 41 を読み込む（ステップ B2）。PD アドレス 41 が示すデータバッファ 4 に存在する PD を参照し、PD の示すパケットの先頭のデータセルを読み出して ATM 網へ送出する（ステップ B3）。一方、送信済みデータセル数 43 が “0” 以外であれば、読み出しアドレス 42 に示されるデータバッファ 4 のアドレスから送信中のパケットの続きのデータセルを読み出して ATM 網へ送出する（ステップ B4）。データセルの送出後、送信済みデータセル数 43 をインクリメントし、読み出しアドレス 42 を送出したデータセルの次のアドレスに更新する（ステップ B5）。更新後、送信済

みデータセル数 4 3 を参照して送信済みデータセル数 4 3 が “1” か否かを判断する（ステップ B 6）。送信済みデータセル数 4 3 が “1” であれば、PD アドレス 4 1 を更新し（ステップ B 7）、ステップ A 4 の処理に移る。送信済みデータセル数 4 3 が “1” 以外であれば PD アドレス 4 1 を更新せずにステップ A 4 の処理に移る。

【0 0 5 0】

このように、本発明の実施の形態によれば、ビットレートが一定の複数のデータ列を ATM 網に送出する場合、送信中のデータ列がパケット 7 1 ～ 7 3 の先頭部を送信した直後では、後続の送信すべきデータ列の送信を開始せず、次のスケジューリング時に開始するように制御手段 3 1 によって制御することで、データバッファ 4 へのアクセス負荷の集中を軽減することができる。

【0 0 5 1】

【発明の効果】

以上のように、本発明においては、データセル読み込み時のデータバッファへのアクセス負荷の局所的な集中を緩和し、データセル送出タイミングに対するデータセルの読み込み動作時間に余裕をもたせることで、CBR データセルの送信レートの送信側でのゆらぎを低減できるという効果がある。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の構成を示すブロック図である。

【図 2】

本発明の実施の形態におけるデータの流れを示す図である。

【図 3】

VC 情報の構成を示す図である。

【図 4】

本発明の第 1 の実施例を表す図である。

【図 5】

本発明の第 1 の実施例を表すタイミングチャートである。

【図 6】

本発明の第 2 の実施例を表す図である。

【図 7】

本発明の第 2 の実施例を表すタイミングチャートである。

【図 8】

本発明の第 3 の実施例を表す図である。

【図 9】

本発明の第 2 の実施例を表すタイミングチャートである。

【図 1 0】

本発明の制御手段 3 1 の動作を表す流れ図である。

【図 1 1】

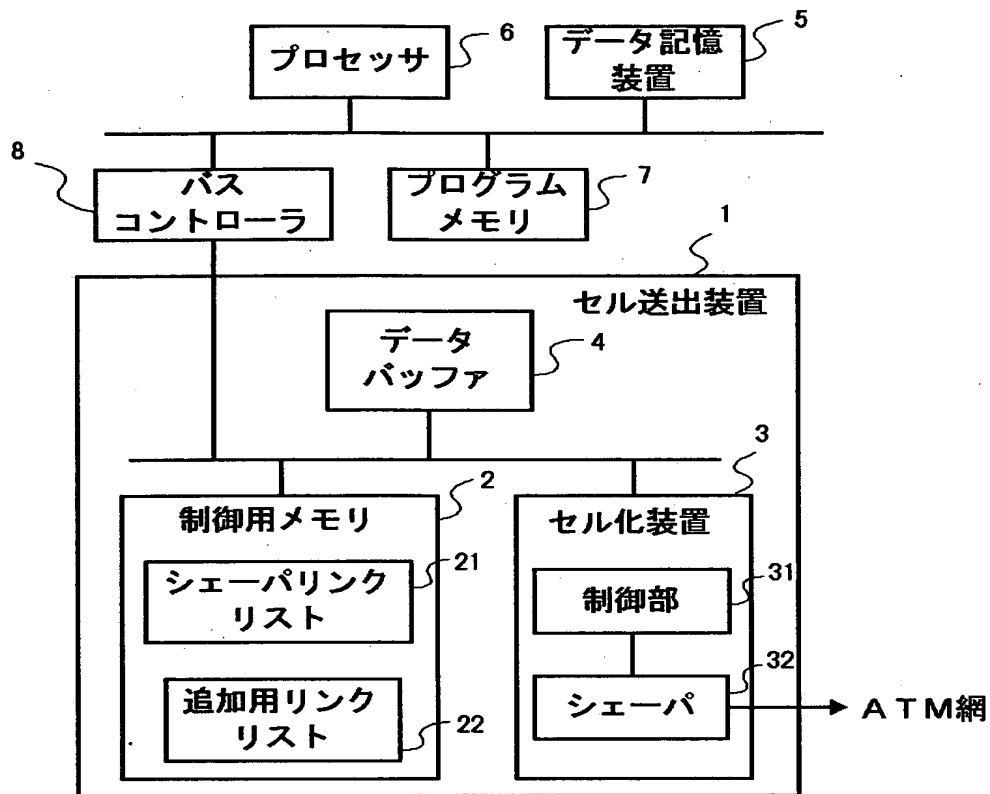
本発明の制御手段 3 1 の V C 情報に対する処理動作を表す流れ図である。

【符号の説明】

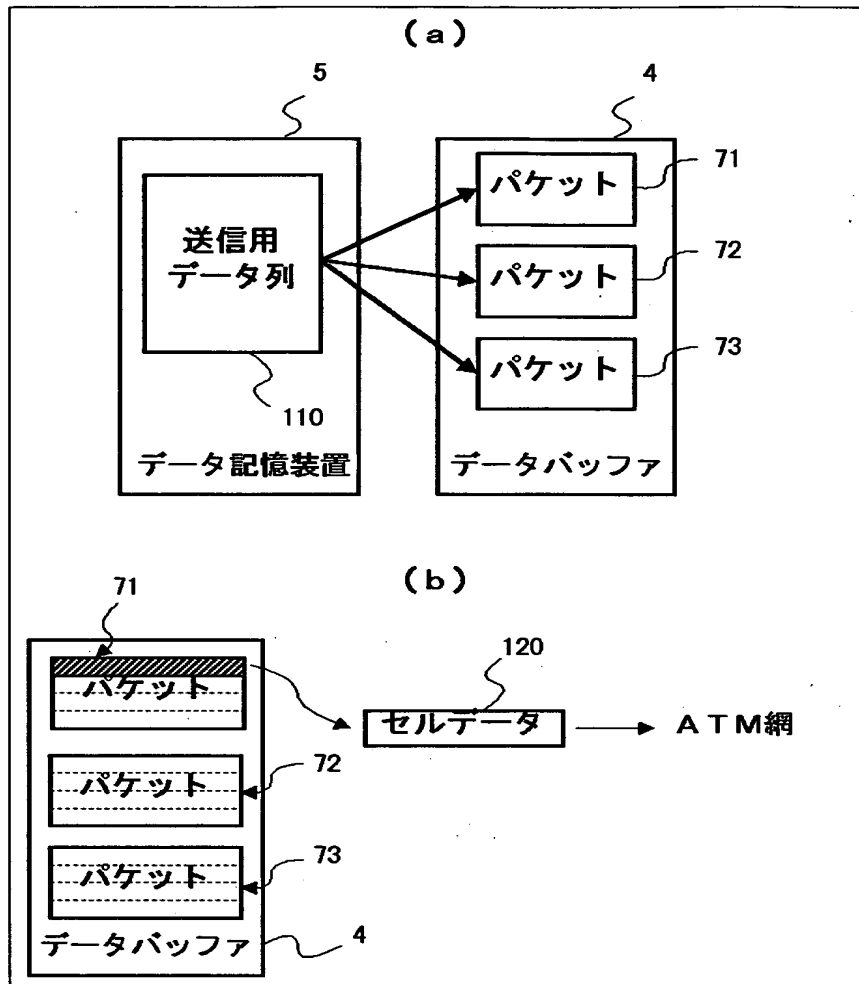
- 1 C B R データセル送出装置
- 2 制御用メモリ
- 3 セル化装置
- 4 データバッファ
- 5 データ記憶装置
- 6 プロセッサ
- 7 プログラムメモリ
- 8 バスコントローラ
- 2 1 シェーパリンクリスト
- 2 2 追加用リンクリスト
- 3 1 制御手段
- 3 2 シェーパ
- 4 0 V C 情報
- 6 1, 6 2, 6 3 P D

【書類名】 図面

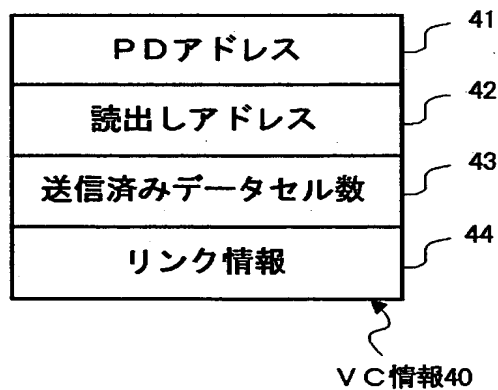
【図 1】



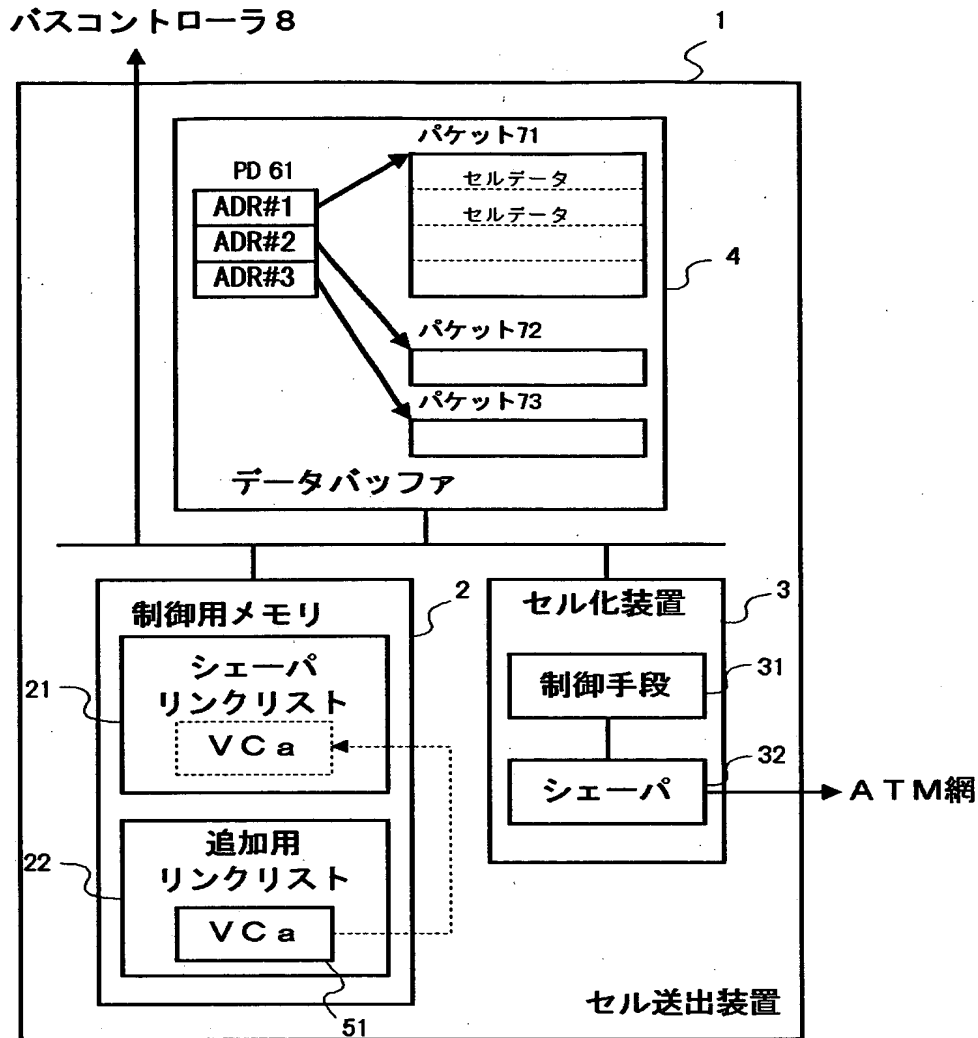
【図 2】



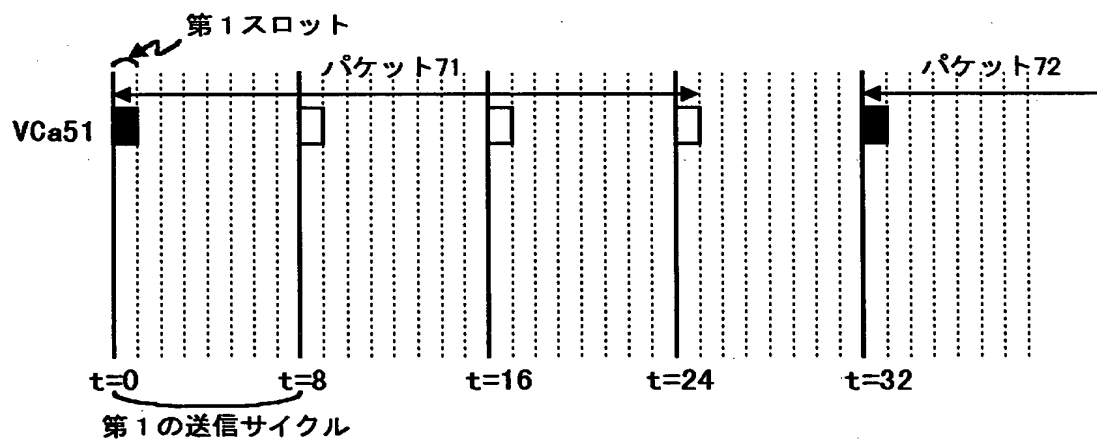
【図 3】



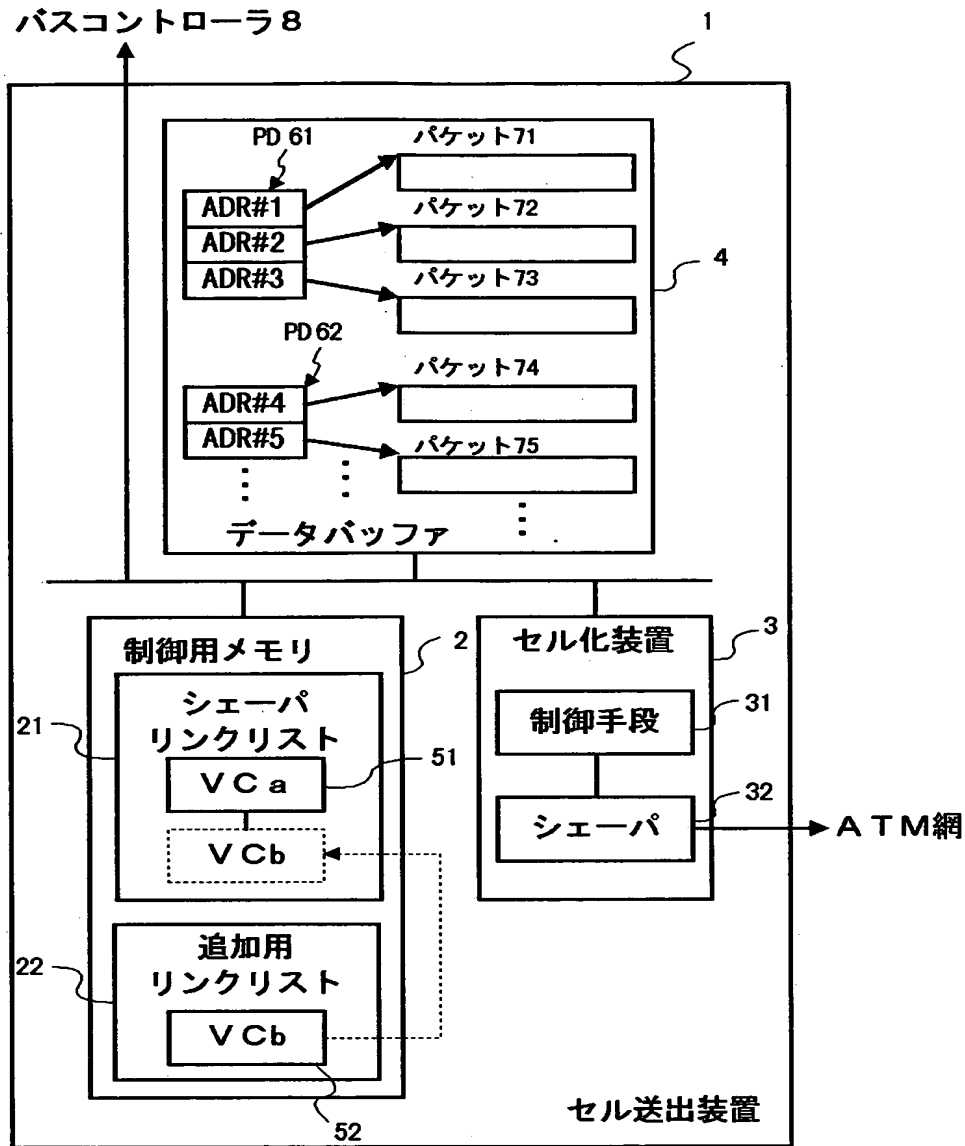
【図 4】



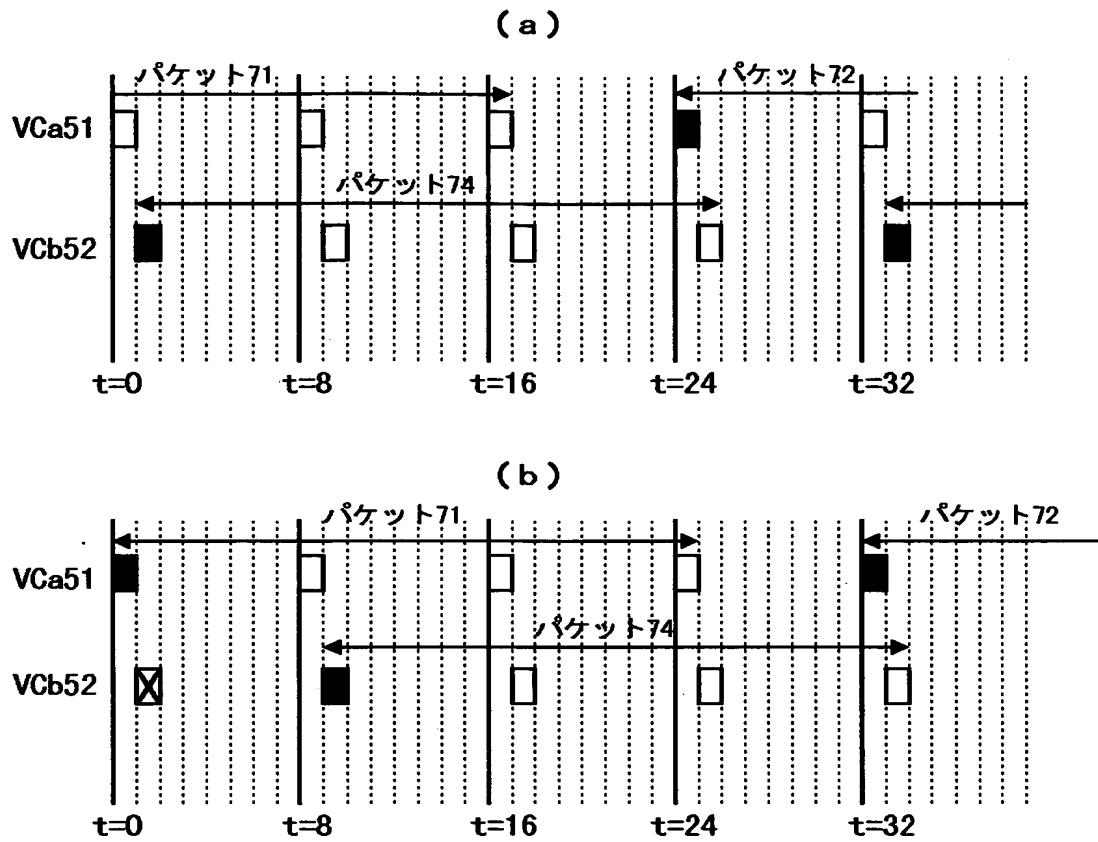
【図 5】



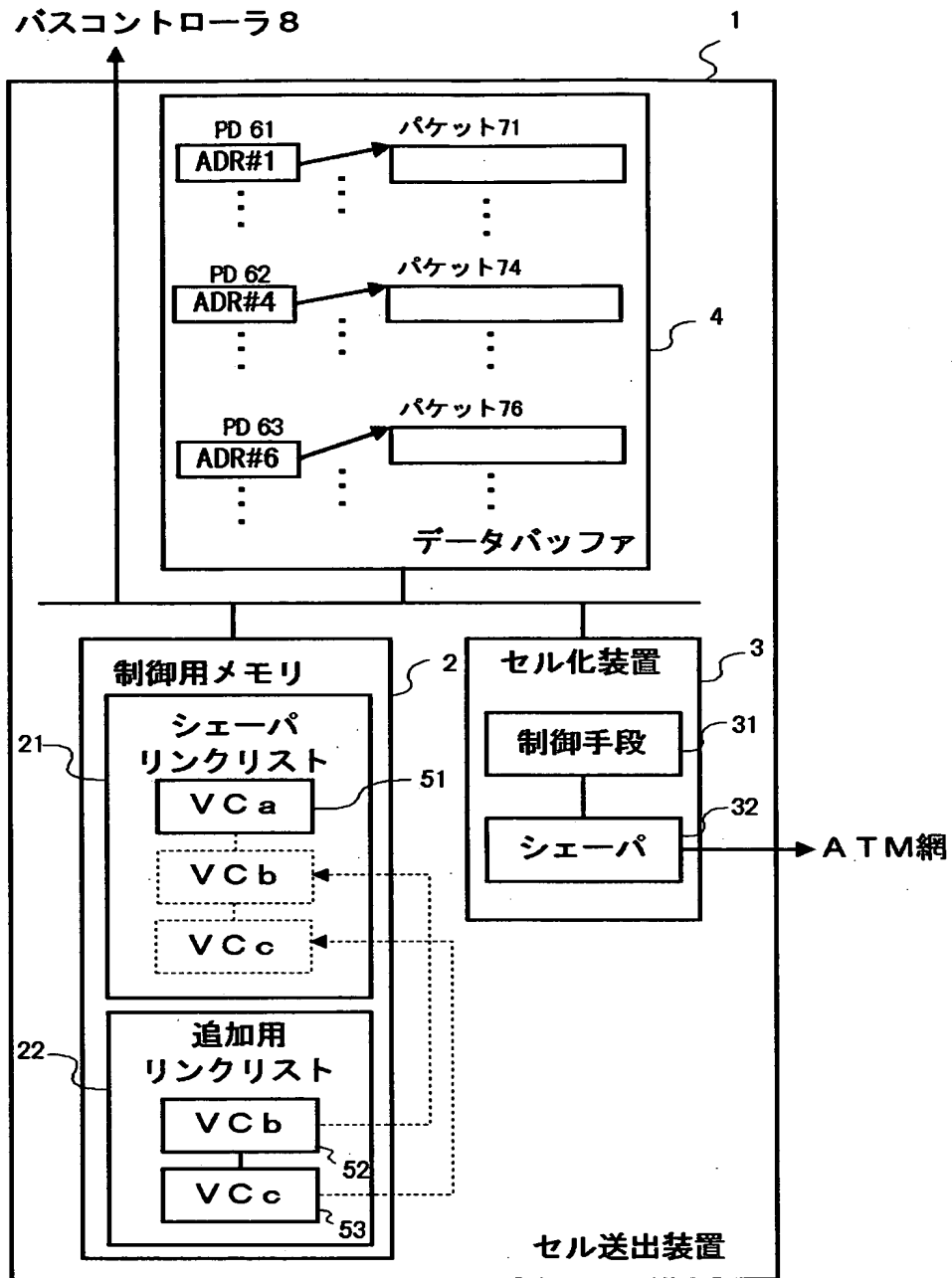
【図 6】



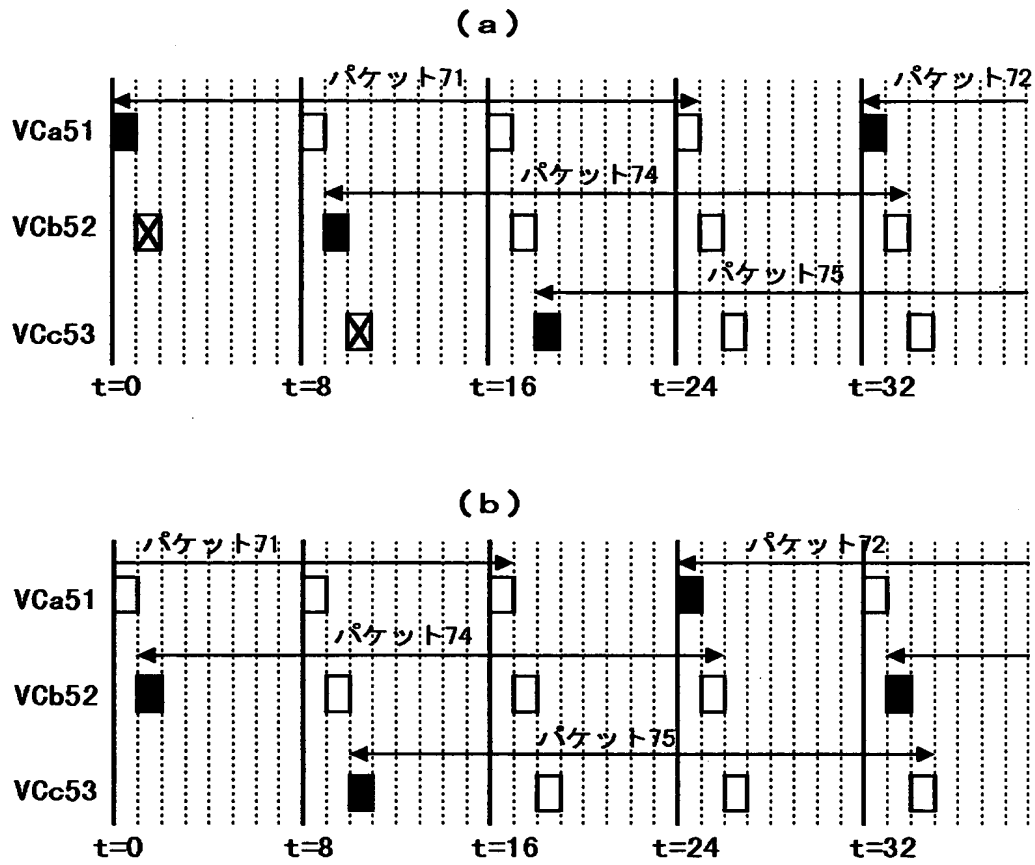
【図 7】



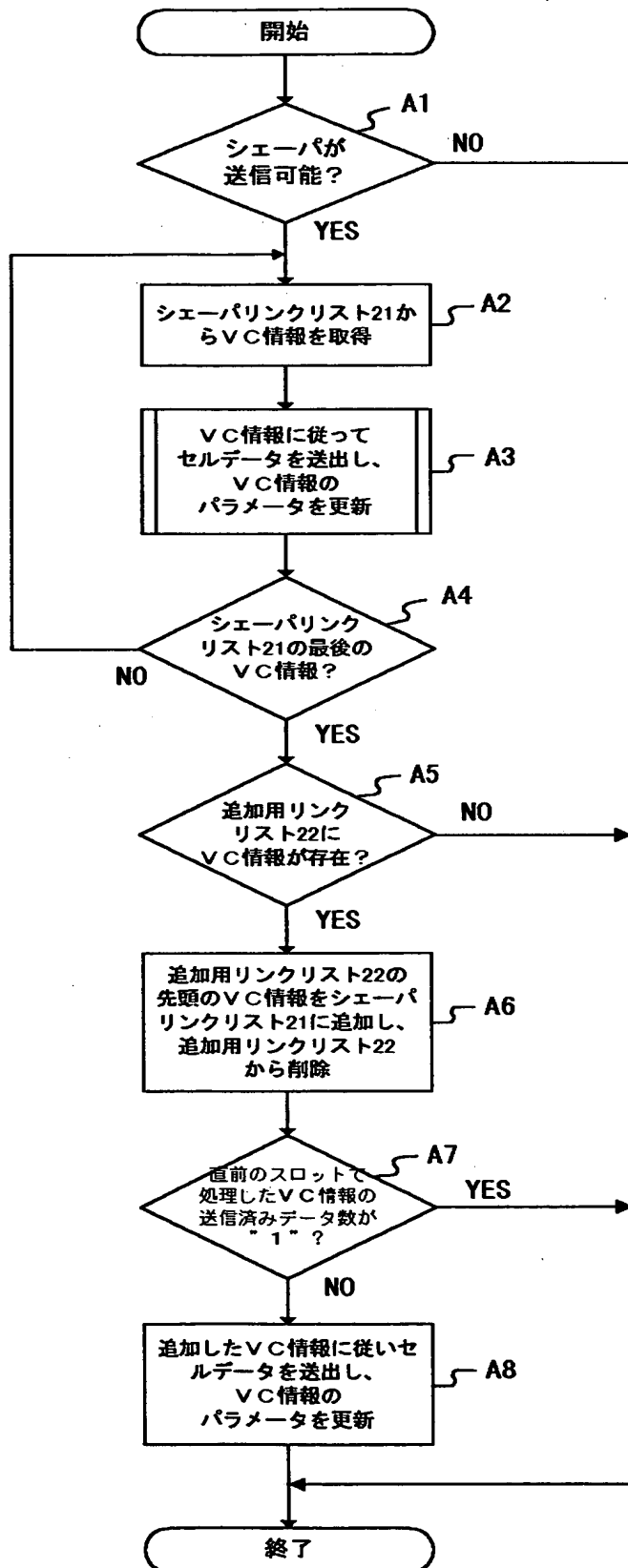
【図 8】



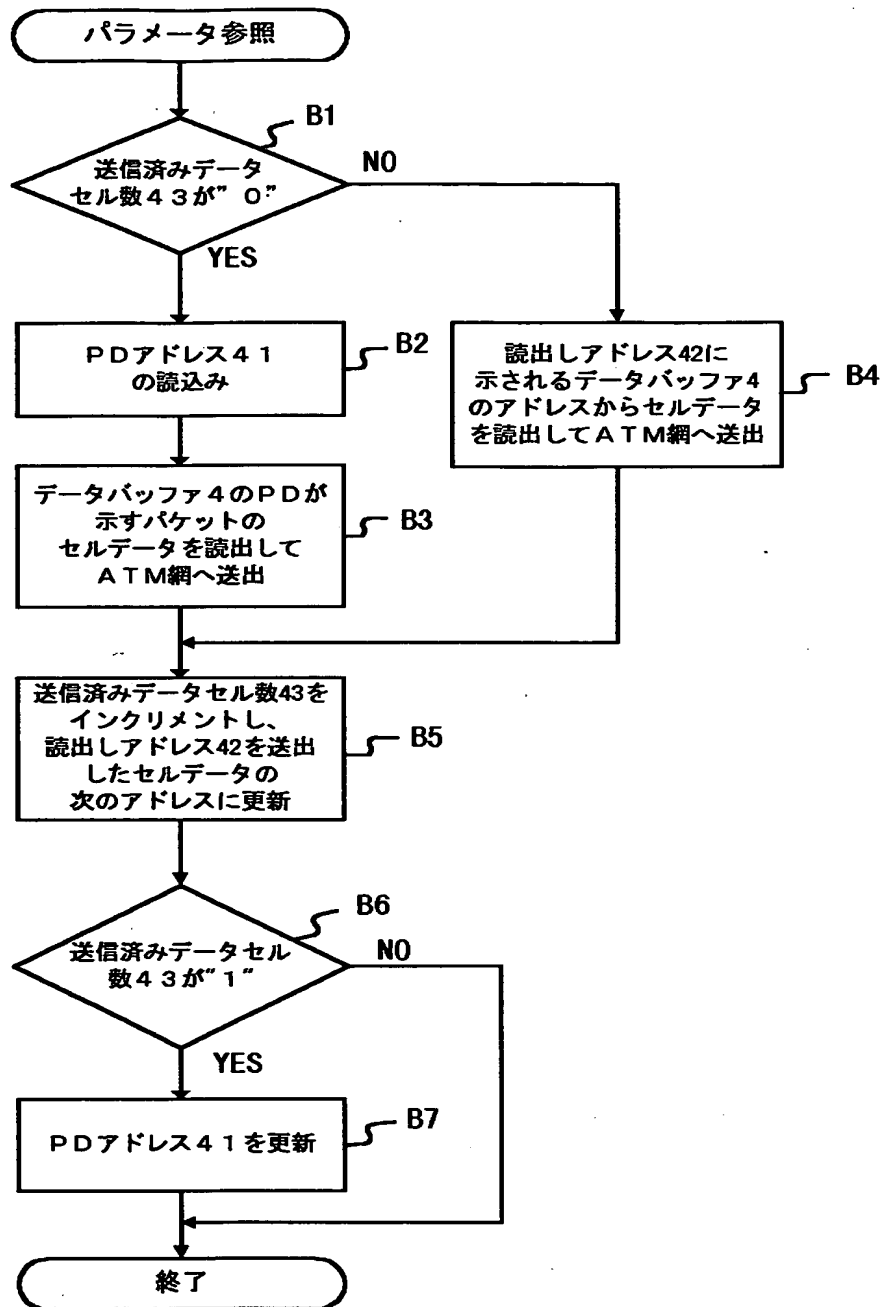
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 データバスの一時的な高負荷状態によってC B Rデータセルの送信側でゆらぎが発生し、一定のビットレートが維持できなくなる。

【解決手段】 新たなデータ列の送信を追加する際に、セル化装置 3 内の制御手段 3 1 において、直前のスロットで処理したV C情報の送信済みデータセル数 4 3を参照し、直前のスロットで送出されたデータセルがパケットの先頭部分である否かを判断して、直前のスロットで送出されたデータセルがパケットの先頭部分であればデータ列のV C情報をシェーパリンクリスト 2 1に追加するのみでデータセルの送出は見合わせる。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第146456号
受付番号	59900494464
書類名	特許願
担当官	第七担当上席 0096
作成日	平成11年 5月28日

<認定情報・付加情報>

【提出日】	平成11年 5月26日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社